

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

특 1999-0072259

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁸

(11) 공개번호 특 1999-0072259

G11C 5/08

(43) 공개일자 1999년 09월 27일

(21) 출원번호 10-1999-0001019

(22) 출원일자 1999년 01월 15일

(30) 우선권주장 9/021,342 1998년 02월 10일 미국(US)

(71) 출원인 인터내셔널 비지네스 머신즈 코퍼레이션 포만 제프리 엠

미국 10504 뉴욕주 아몬크

(72) 발명자 에이브라함데이빗힐리엄

미국 10562 뉴욕주 오시닝스 노우튼 매비뉴 67

캘러퍼힐리엄조셉

미국 10502 뉴욕주 마드슬레이 매커포드 매비뉴 577

트로필라우드 필립 루이스

미국 07430 뉴저지주 마하세드 위트스서클 1171

(74) 대리인 김창세, 장성구

청사관구 : 없음

(54) 다수의 자성 터널 접합을 구비하는 자기 메모리 소자

요약

본 명세서에는 모두 평균 상태로 변화가능한 다수의 자성 터널 접합들을 구비하는 자기 메모리 소자들이 개시된다. 예를 들어, 어레이에 걸쳐 다수의 교차 영역들을 형성하는 다수의 개별적인 제 1 및 제 2 전기적 전도성 교차 라인을 구비하는 자기 랜덤 액세스 메모리(a magnetic random access memory: 'MRAM')가 개시된다. 어레이는 다수의 교차 영역들 중 개별적인 하나의 영역에 각각 배치된 다수의 자기 메모리 셀들을 포함한다. 각각의 셀은 개별적인 제 1 및 제 2 전도성 라인을 통해 인가된 전기적 자극과 이로 인해 발생된 자기 자극에 따라, 모두 평균 상태로 변화가능한 적어도 두 개의 자성 터널 접합들을 포함한다. 각각의 자기 메모리 셀에 제공된 적어도 두 개의 자성 터널 접합들은 어레이에 걸쳐 모든 셀들에 대해 예측가능한 자기 응답을 제공한다. 교차영역에서, 선택된 영역을 형성하는 각각의 제 1 및 제 2 전기적 전도성 라인을 통해 인가된 자극에 의해 선택된 셀만이 기록되고, 선택된 영역을 형성하는 제 1 및 제 2 전기적 전도성 라인을 따라 배열된 다른 셀들은 기록되지 않는다. 인가된 전기적 자극과 이로 인해 발생된 자기 자극의 동작 윈도우(an operating window)는 메모리 어레이에 걸쳐 셀 선택성을 보장하도록 정의될 수 있다.

도면

도 1

도 2

도면의 간단한 설명

도 1a는 교차하는 비트 라인들과 워드 라인들의 교차 영역에 배치된 자기 메모리 셀들을 구비하는 MRAM을 도시하는 도면.

도 1b는 도 1a의 자기 메모리 셀들 중 단일의 셀을 형성하는 예시적인 층들을 나타내는 도면.

도 2a는 단일의 이상적인 터널 접합의 자기 응답의 '별모양' 모델을 나타내는 도면.

도 2b는 각각의 셀이 예측가능하지 않은 응답을 가지므로 그러한 셀들을 효과적으로 동작시키기 위해 가능한 전기 자극 및 자기 자극의 동작 윈도우를 협소하게 하는 단일의 자성 터널 접합 셀들의 자기 응답의 '별모양' 모델을 나타내는 도면.

도 3은 단일의 터널 접합 셀들의 변동하는 응답을 나타내는 축적된 테스트 데이터의 플로트(plot)를 도시하는 도면.

도 4는 도 3에 도시된 데이터를 간략화하는 '별모양' 플롯을 도시하는 도면.

도 5는 도 4의 평균화된 데이터의 '별모양'을 도시하는 도면.

도 6은 본 발명의 이론들을 채용하는 4 개의 자기 메모리 셀들, 즉 각 메모리 셀에서의 다수의 자성 터널 접합들 대해 특화된 테스트 데이터의 플로트들을 나타내는 도면.

도 7은 도 6에 도시된 데이터들 간략화하는 '별모양' 플로트들 도시하는 도면.

도 8은 도 7의 평균된 데이터의 '별모양'을 도시하는 도면.

도 9는 본 발명의 병렬로 배열된 다수의 자성 터널 접합 셀의 제 1 실시예를 나타내는 도면.

도 10은 본 발명의 직렬로 배열된 다수의 자성 터널 접합 셀의 제 1 실시예를 나타내는 도면.

도 11은 단일의 셀에서 다수의 터널 접합을 형성하는데 자화 미립자들이 사용된 본 발명의 다른 실시예를 나타내는 도면.

도 12는 다수의 자화 미립자 셀 형성에 대한 자기 매체 패터닝 기법을 나타내는 도면.

도 13은 자기 메모리 셀 각각은 평행하지 않은 자화 방향을 구비하는 층들을 포함하는 자유 영역을 가지며 다수의 자성 터널 접합을 포함하는 자기 메모리 셀의 본 발명의 다른 실시예를 나타내는 도면.

도 14는 다수의 연장된 자성 터널 접합을 포함하는 자기 메모리 셀의 본 발명의 다른 실시예를 나타내는 도면.

도 15a-b는 본 발명에 의해 제공된 자계 형태 맞춤(field shape customization)을 포함하는 추가적인 설계 용이성을 나타내는 도면.

도면의 주요 부분에 대한 부호의 설명

103, 105 : 전도성 라인 109 : 자기 메모리 셀

108a, 108b : 자성 터널 접합

120a, 120b, 124a, 124b : 기준 영역

122a, 122b : 터널링 영역

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

정부 권리의 선언

미국 정부는 방위 개선 연구 프로젝트국(Defense Advanced Research Projects Agency)에 의해 제정된 계약 번호 MDA972-96-C-0030에 따라 본 발명의 권리를 소유한다.

관련 출원들에 대한 상호 참조

본 출원은,

1. 'MAGNETIC MEMORY ARRAY USING MAGNETIC TUNNEL JUNCTION DEVICES IN THE MEMORY CELLS'라는 명칭으로 1997년 6월 17일자로 공고된 미국 특허 제 5,640,343 호와,
2. 'MAGNETIC TUNNEL JUNCTIONS WITH CONTROLLED MAGNETIC RESPONSE'라는 명칭으로 1997년 7월 22자로 공고된 미국 특허 제 5,650,958 호와 연관되어 있다.

본 출원은,

1. 'INTENTIONAL ASYMMETRY IMPOSED DURING FABRICATION AND/OR ACCESS OF MAGNETIC TUNNEL JUNCTION DEVICES'이라는 명칭으로 출원된 제 호의 특허 출원과,
2. 'LIMITING MAGNETORESISTIVE ELECTRICAL INTERACTION TO A PREFERRED PORTION OF A CHANGEABLE MAGNETIC REGION IN MAGNETIC DEVICES'라는 명칭으로 출원된 제 호의 특허 출원과,
3. 'LIMITING MAGNETIC WRITING FIELDS TO A PREFERRED PORTION OF A CHANGEABLE MAGNETIC REGION IN MAGNETIC DEVICES'라는 명칭으로 출원된 제 호의 특허 출원과 연관되어 있다.

이들 미국 특허들과 미국 특허 출원들 각각은 본 명세서에서 참조로서 인용된다.

본 발명은 자성 소자들, 예를 들면 자기 자극으로 기록가능한 자성 터널 접합(magnetic tunnel junction : 'MTJ') 소자들로부터 형성된 자기 랜덤 액세스 메모리(magnetic random access memory : 'MRAM')에 관한 것이다.

상기 인용된 미국 특허들에 상세히 개시된 바와 같이, 적절하게 형성된 자성 터널 접합 메모리 셀의 전기적 저항은 자성 터널 접합에 인가된 자기 기록 자극에 따라 결정된다. 자성 터널 접합 메모리 셀의 응답은 히스테리틱(hysteretic)이므로 이 셀은 인가된 자기 기록 자극의 소정 기억을 유지한다. 터널 접합 소자의 잔존 자화 형태, 즉 잔존 자화 형태로 인해 발생된 전기적 저항값은 그러한 전기 액세스형

MRAM 어레이들(electrically accessed MRAM arrays)에 적용하기 위한 기본적인 이론이다.

단일의 칩 상에 수 천개 혹은 수 백개의 셀들을 포함하는 액세스형 MRAM 어레이를 대용량이며 신뢰가능하게 제조하기 위해서는 각 셀의 자기 응답 특성의 균일성 및 예측가능성이 가장 중요하다. 그러나, 제조상의 불확실성 및 고유한 자기 변동성에 관련된 많은 팩터들(factors)로 인해, 셀 간의 응답 변동들이 매우 커질 수 있다. 셀 간의 자기 응답 변동성은 각각의 셀을 액세스하는 데 필요한 전기적 자극과 이로 인해 발생된 자기 기록 자극에 직접 영향을 미치므로, 바람직하게 고정된 전기적 자극과 이로 인해 발생된 자기 기록 자극값을 사용하는 어레이 전체의 선택성의 발생을 방지한다.

실시예로서 도 1a 및 도 1b를 참조하면, MRAM 어레이에 있어서, 셀들은 전기적 전도성 라인들(1-6)의 예시적인 격자형 그리드(grid)의 교차점들에 위치된다. 이 라인들(1-6)은 기판 위에 배열되어 교차하므로, 셀들 예컨대, 셀(9)이 위치되는 교차 영역들을 형성한다. 이하 상세히 설명되는 바와 같이, 각각의 셀은 본질적으로 자유 자기 영역(24)과 기존 자기 영역(22)을 포함한다. (기존 영역이라는 용어는 자유 혹은 가변 영역과 함께 하나의 소자로서 검출가능한 상태의 소자로 되는 임의 형태의 영역을 나타내기 위해 본 명세서에서 광범위하게 사용된다.) 이러한 형태의 셀이 전기적으로 액세스가능한 데이터들 저장하는 능력은 자유 자기 영역(24)과 기존 자기 영역(22) 사이의 전자 터널링에 따라 결정되므로, 이 능력은 이들 두 영역들의 상대적인 자화 방향에 따라 좌우된다. 쌍안정 방식으로 자유 영역 내의 자화 방향을 두 개 이상의 선택가능한 방향들 중 하나의 방향으로 회전시키므로써 이진 상태가 셀에 저장된다. 셀의 자화 방향이 자화음속('EA')과 수평이고 수직 라인을 통해 흐르는 전기적 기록 전류가 EA 자계를 인가하면, 수평 라인을 통해 흐르는 전류는 셀에 대해서 자화관관축(a hard-axis: 'HA') 자계를 인가할 것이다.

MRAM 셀들의 일 실시예에 있어서, 개별적인 셀들을 기록하는 것은 스위칭(switching)에 대한 '별모양(threshold)'으로서 지칭되는 개념으로 고정된다. 단일의 자유 영역의 스위칭 문턱값(threshold)은 인가된 EA 자계와 HA 자계의 조합에 의존한다. 도 2에 도시된 'Stoner-Wohlfarth'의 별모양 모델은 인가된 EA 자계와 HA 자계의 평면에서 스위칭 문턱값들을 나타낸다. 셀에서 EA 자계와 HA 자계의 조합이 별모양의 바깥쪽 벡터일 때 스위칭이 발생한다. 별모양 안쪽의 벡터들은 셀을 현재의 쌍안정 상태를 중 하나의 상태로부터 다른 상태로 스위칭시키지 않을 것이다. 또한, 이 별모양 모델은 HA 바이머스 자계의 존재하에서 소자를 스위칭하는 데 필요한 EA 자계가 얼마나 감소되는지를 나타낸다. 어레이 내에서 단일의 셀을 선택적으로 스위칭하는 것은 선택된 수평 및 수직 라인의 쌍을 통해 전류들을 인가함으로써 달성된다. 이들 전류들은 수평 및 수직 라인의 교차점에 위치된 셀에만 EA 자계와 HA 자계의 조합을 발생하여, 이론적으로 선택된 셀을 스위칭하고 이에 인접한 셀들을 스위칭하지 않는다.

수평 라인을 따라 배열된 모든 셀들에는 동일한 HA 자계가 인가될 것이다. 마찬가지로, 수직 라인을 따라 배열된 모든 셀들에는 동일한 EA 자계가 인가될 것이다. 그러나, 수평 및 수직 라인의 교차점에 위치한 셀에만 스위칭에 필요한 EA 자계와 HA 자계의 조합이 인가될 것이다.

이러한 소자의 문제점은 별모양의 문턱값들이 셀 사이와 동일한 셀 내의 히스테리시스 곡선 사이에서 변동할 때 발생한다. 이러한 문제점은 도 2에 도시된 바와 같이 문턱값들의 밴드(band) 안으로 별모양이 넘어지는 것을 초래한다. 선택적으로 셀들을 스위칭하는 능력은 단일의 인가된 HA 자계 혹은 EA 자계하에서 스위칭되지 않는 라인들 따라 배열된 셀을 제외한 모든 셀들에 좌우되기 때문에, 이 별모양의 밴드가 너무 넓어지면, 스위칭되는 라인들을 따라 배열된 다른 선택되지 않은 셀들도 또한 스위칭될 것이므로, 동가의 기록 자극으로 개별적인 셀들을 선택적으로 기록하는 것이 더 이상 불가능해진다.

도 3은 상이한 HA 바이머스 자계(HB)에 있어서, 각각의 소자에 대해 2 개의 EA 기록 곡선들을 취하는 12 개의 인접한 MRAM 소자들에 대해 본 발명의 발명가들에 의해 실제로 측정된 자기 응답의 변동성을 도시한다. 각각의 플롯(plot)은 퍼센트 단위로 각각의 주어진 HA 바이머스 자계(HB)에 대한 측정된 저항 변화 대 인가된 EA 자계를 도시한다. (또한, 이들 플롯들은 셀들의 히스테리시스 응답이 인가된 HA 바이머스 자계에 얼마나 의존적인지를 나타낸다. 교차 라인들을 사용하는 전술된 셀 선택성을 제공하기 위해, 하나의 라인 상에 인가된 HA 바이머스 자계와 다른 라인상에 인가된 EA 자계, 즉 도 2에 도시된 H₁과 H₂로 셀을 동작시키는 것이 바람직하다. 그러나, 또한 소정의 히스테리시스 특성을 유지하는 것이 바람직하므로, 인가된 EA 및 HA 자계가 제거될 때 셀은 두 개의 쌍안정 상태를 중 하나의 상태를 유지한다.) 이러한 변동성은 이들 곡선들에 대한 EA 역알 자계에 대해 HA 바이머스 평도들을 도시한 '별모양' 플롯(도 4)로 간략화될 수 있다. 소자들의 이러한 세트에 있어서, 너무 많이 분산되어 이러한 셀들에 대한 효과적인 인가 자극 동작 윈도우가 없는, 즉 각각의 셀에 EA 자계와 HA 자계가 인가될 때 각각의 셀을 스위칭하는 인가된 EA 자계와 HA 자계의 세트가 없고, 이들 자계들 중 하나의 자계가 분리되어 인가될 때 셀들 중 어느 것도 스위칭하지 않을 것이다.

전술된 별모양의 선택 모델을 이용하거나 혹은 임의의 다른 선택 모델을 이용하는 경우에, 효과적인 셀 선택성을 갖는 MRAM의 성공적인 구현에 있어서의 주요한 과제는 거의 동일한 전기 및 자성 특성을 갖는 많은 메모리 셀들을 제조하는 것이다. 자성 소자들의 응답이 국지 경울뿐만 아니라 예지 혹은 표면 거칠기에도 민감하기 때문에 자성 소자들에서 이러한 과제를 달성하는 것은 특히 어렵다.

본 발명에 따른 고자속 기록 기술적 관점

공지된 자성 터널 접합 셀들의 전술된 문제점들을 극복하기 위해, 본 발명은 다수의 자성적 교환 분리형 터널 접합들을 단일의 복합 자성 소자로 결합하기 위한 것에 관한 것으로서, 단일의 복합 터널 접합 소자들을 구성하는 터널 접합 소자들 중 임의의 한 터널 접합 소자의 개별적인 응답과 대조를 이루는, 인가된 기록 자극에 대한 단일의 복합 자성 소자 응답의 품질 및 균일성에서 확실한 이점들을 제공하는 것이다.

이 점에 있어서, 본 발명의 하나의 태양은 적어도 하나의 전극을 사용하여 동작가능하고, 제 1 및 제 2 전극을 통해 인가된 자기 자극에 따라 모두 평균 상태로 기록가능한 적어도 두 개의 자성 터널 접합들을

포함하는 자성 소자, 예컨대 자기 셀에 관한 것이다.

이 자성 소자는 메모리 어레이에 걸쳐 다수의 교차 영역들을 형성하는 다수의 개별적인 제 1 및 제 2 전도성 교차 라인을 포함하는 메모리 어레이에서의 자기 메모리 셀로서 사용될 것이다. 적어도 두 개의 자성 터널 접합을 포함하며 다수의 교차 영역들 중 개별적인 하나의 교차 영역에 각각 배치된 다수의 자기 메모리 셀이 제공된다. 각각의 셀에서 적어도 두 개의 자성 터널 접합들에 의해 제공된 예측가능한 평균 응답으로 인해, 선택된 교차 영역을 형성하는 제 1 및 제 2 전도성 라인을 통해 인가된 자기 자극에 의해 선택된 영역에 위치한 셀만이 기록되고, 선택된 교차 영역을 형성하는 제 1 및 제 2 전도성 라인을 따라 배열된 다른 셀들은 기록되지 않는다.

적어도 두 개의 자성 터널 접합들은 자기 자극을 수용하도록 제 1 및 제 2 전극들 사이에 직렬로 혹은 대안적인 병렬로 배열될 수 있다.

적어도 두 개의 자성 터널 접합들 각각은 기조 자화 방향을 갖는 제 1 영역과, 제 2 영역과, 자기 자극에 따라 변화가능한 자화 방향을 갖는 자유 영역을 포함할 수 있다.

적어도 두 개의 자성 터널 접합들 각각의 제 1 기준 영역은 기준 자화 방향을 갖는 단일의 결합형 자기 영역 부분이 될 수 있다.

적어도 두 개의 자성 터널 접합들 각각의 제 2 자유 영역은 개별적인 제 2 영역을 형성하는 다수의 자화 미립자들을 가지며 자기 매체 형태 재료의 외부에 패터닝된 영역에 배치될 수 있는 자화 미립자를 포함할 수 있다.

적어도 두 개의 자성 터널 접합들 각각의 제 2 자유 영역은 인가된 전기적 자극과 이로 인해 발생된 자기 자극에 따라, 개별적인 제 1 영역에 관한 셀 터널링에 영향을 미치는 평행하지 않은 자화 방향들 중 하나의 방향으로 모두 변화가능하며, 자기 메모리 셀에서 다른 자성 터널 접합과의 상호 자성 결합을 최소화시키는 특성을 더 제공하는, 평행하지 않은 자화 방향들을 포함할 수 있다.

본 명세서에 개시된 소자마다 구비된 다수의 자성 터널 접합은 자기 메모리에 대해, 비트 라인들과 워드 라인들을 통해 인가된 자기 자극의 정의된 동작 윈도우(a defined operating window)를 사용하는 어레이 전체의 바이어스에 메모리 셀 선택성이 제공될 수 있는 이점을 제공한다. 더우기, 각각의 셀은 다수의 터널 접합으로부터 형성되기 때문에, 각각의 셀에서 터널 접합의 평균 응답이 사용될 때, 소수의 결합이 있는 터널 접합에 의해서 어레이의 동작은 크게 영향을 받지 않는다.

본 발명의 구성 및 작용

본 발명의 발명자들은 다수의 터널 접합에 대해 자기 응답 데이터를 평균함으로써 더욱 예측가능한 자기 응답이 획득될 수 있음을 발견하였다. 예를 들면, 도 4의 분산된 데이터를 평균함으로써 더욱 예측가능한 도 5의 별모양(asteroide shape)이 얻어진다. 본 발명의 발명자들은 하나의 메모리 셀로서 병렬로 배열된 8 개의 자기 터널 접합의 응답 측정과 동일한 어레이에서 서로 분리되어 위치한 유사한 접합을 갖는 4 개의 다중 접합 셀들의 응답 측정을 수행하였다. 이 측정의 결과는 도 6에 도시된다. 측정된 분산은 데이터를 위한 곡선의 수를 20 개로 증가시키는 것에 기인한다. 이를 다중 접합 셀들의 20 개 곡선의 별모양 데이터(도 7)는 각각의 개별적인 접합들의 별모양으로 더욱 개선되어, 모든 소자들의 모든 곡선들에 대한 평균 별모양은 이상적인 별모양에 더욱 근접한다. 웨이퍼에 집적 접합 특성들의 변동성에도 불구하고, 이들 4 개 접합의 조합에 대한 별모양은 여전히 동작 윈도우를 제공하므로 선택적 스위칭이 가능하다.

이 점에 있어서, 본 발명의 이점들에 따르면, 단일의 자성 소자, 예컨대 NRAM 어레이의 메모리 셀에 다수의 자성 터널 접합이 채용된다. 따라서, 도 1a 및 도 1b의 단일의 터널 접합('MTJ') 셀(9)은 다수의 터널 접합을 제공함으로써 개선된다. 본 발명의 다중 MTJ 셀의 대안적인 실시예들이 도 9 내지 도 14를 참조하여 이하 설명되지만, 이에 대한 설명으로서 양수인에게 양도되어 상기 인용된 미국 특허에 따른 도 1a 및 도 1b의 어레이가 상세히 설명된다.

도 1a를 참조하면, 예시적인 NRAM 어레이는 수직인 평면 내에서 병렬로 배열된 워드 라인들(1, 2, 3)로서 기능하는 전기적 전도선들의 세트와 다른 수직인 평면 내에서 병렬로 배치된 비트 라인들(4, 5, 6)로서 기능하는 전기적 도전선들의 세트를 포함한다. 비트 라인들은 워드라인에 대해 상이한 방향으로 향하는, 예를 들면 워드라인과 직각이므로, 위에서 볼 때 이 두 개의 라인을 세트는 서로 교차된다. 도 1b에 상세히 도시된 통상적인 메모리 셀(9)과 같은 메모리 셀은 워드라인들과 비트라인들 사이에 수직하게 떨어진 교차 영역 내에서 이들 라인들의 각 교차점에 위치된다. 3 개의 워드라인들과 3 개의 비트라인들이 도 1a에 도시되었지만, 라인들의 수는 통상적으로 이 보다 많다. 메모리 셀(9)은 수직인 스택(stack)으로 정렬되고, 다이오드(7)와 자기 터널 접합(a magnetic tunnel junction: 'MTJ')(8)을 포함할 수 있다. NRAM 어레이가 동작하는 동안에, 전류는 메모리 셀(9)을 통해 수직 방향으로 흐른다. 메모리 셀(9)을 통과하는 수직 전류 경로는 메모리 셀(9)이 매우 작은 표면적을 갖도록 한다. 워드 라인들, MTJ, 다이오드에 대한 접점과 비트라인에 대한 접점은 모두 동일한 면적을 갖는다. 도 1a에는 도시되지 않았으나, NRAM 어레이는 다른 회로가 형성될 수 있는 실리콘 기판과 같은 기판 상에 형성될 수 있다. 또한, 접면 재료층은 교차 영역들 보다는 통상적으로 NRAM의 영역들에 있는 비트라인들과 워드 라인들 사이에 위치된다.

도 1b를 참조하여 메모리 셀(9)의 구조가 상세하게 설명된다. 메모리 셀(9)은 워드 라인(3)(도 1a에 도시된) 상에 형성되어 이 워드 라인(3)과 접촉한다. 메모리 셀(9)은 다이오드와 같은 소자의 수직인 스택, 예를 들면 실리콘 전하 다이오드(7)와 전기적으로 연속하여 접속된 MTJ(8)를 포함한다. 다이오드(7)는 n형 실리콘층(10)과 p형 실리콘층(11)을 포함하는 실리콘 접합 다이오드이다. 다이오드(7)의

숙 1999-0072259

이런 심리층(11)은 텅스텐 스테드(stud)(12)를 통해 MTJ(8)에 접속된다. 다이오드(?)의 n형 실리콘층(10)은 워드 라인(3)에 접속된다.

MTJ(8)는 다른 재료층의 상층에 쌓아올려진 재료층들의 연속으로 형성된다. 도 1b의 MTJ(8)는 Pt와 같은 헤파(型板)층(a template layer)(15)과, 퍼멀로이(permalloy)(Ni-Fe)와 같은 초기 강자성체층(an initial ferromagnetic layer)(16)과, Mn-Fe와 같은 반강자성체층(an antiferromagnetic layer)(AF)(18)과, Co, Fe 혹은 퍼멀로이와 같이 자화 방향이 고정된 기존 강자성체층(FMF)(20)과, 알루미늄(Al₂O₃)의 박막 터널링 장벽층(22)과, 퍼멀로이를 포함하는 샌드위치형의 박막 Co-Fe은 같이 연결(軟質)이고 가변적인 자유(free) 강자성체층(FMS)(24)과, Pt와 같은 접촉층(25)을 포함한다.

자유 강자성체층(24)은 자화음미축('EA')으로 지칭되는 자화 방향에 대하여 우세한 축을 갖도록 제조된다. 자유 강자성체층(24)에는 이 자화음미축을 따라 메모리 셀의 두 개의 상태를 정의하는 두 개의 가능한 자화 방향이 있다. 이와 반대로, 기존 강자성체층(20)은 자유 강자성체층(24)의 자화음미축에 평행한 단방향성의 이방성 방향을 지칭되는 하나의 비방향적인 자화 방향만을 갖도록 제조된다. 자유 강자성체층(24)에는 있어서 소망하는 자화음미축은 MTJ의 전성 이방성, 응력변형 유도형(strain-induced) 이방성, 형태 이방성의 조합에 의해 설정된다. 도시된 MTJ(8)와 자유 강자성체층(24)은 길이가 L이고 폭이 W이며 W보다 더 긴 직사각형으로 만들어질 수 있다(도 1b). 자유 강자성체층(24)의 자기 모멘트는 L 방향을 따라 더 잘 정렬된다.

단방향성의 이방성 방향의 기존 강자성체층(20)은 Pt, Cu 혹은 Ta와 같은 헤파층(15) 위에 성장된 초기 강자성체층(16) 상에 Fe-Mn AF층(18)을 성장시킴으로써 설치된다. 헤파층(15)은 초기 강자성체층(16) 내에 111 방향의 결정 조직을 유지한다. 기존 강자성체층(20)의 소망하는 전성의 단방향성 이방성 방향을 발생하는 이러한 층들은 자유 강자성체층(24)의 소망하는 자화음미축에 평행한 자계 내에서 부착된다. 대안적으로, AF 재료의 차단 온도(blocking temperature)보다 더 높은 온도로 기판을 가열하는 동안에, 자화음미축에 평행하고 충분히 큰 자계 내에서 AF층이 헤파층(15) 상에 부착될 수 있다. 이러한 대안적인 방법에 있어서, 초기 강자성체층(16)은 필요하지 않다. 또한, 부착 프로세스 동안에 인가된 자계를 따라 자화 방향을 정렬시키는 자기 이방성을 전개시키기 위해 자화 방향이 고정된 층의 자화강직(magnetostriction)이 정도 가능하다.

기존 강자성체층(20)과 AF층 사이의 결합(coupling) 교환 때문에, 이 기존 강자성체층(20)의 자화 방향을 변경시키는 것이 자유 강자성체층(24)의 자화 방향을 변경시키는 것보다 더 어렵다. 비트라인들과 워드라인들을 통해 흐르는 전류에 의해 인가된 자계의 범위에 있어서, 본 실시예의 기존 강자성체의 자화 방향은 고정된 층의 자화 방향에 추가적인 안정성을 제공한다. 메모리 셀을 기록하기 위해 인가된 자계들은 자유 강자성체층(24)의 자화 방향을 반전시키기에는 충분하게 크지만 기존 강자성체층(20)의 자화 방향을 반전시키기에는 충분하지 않다. 따라서, 자화 방향이 고정된 층의 자화 방향은 MRAM 내의 메모리 셀들이 동작하는 동안에 변화하지 않는다.

MRAM 레이어가 동작하는 동안에, 충분히 큰 전류가 MRAM의 워드라인과 비트라인 양쪽을 통해 흐를 때, 워드라인과 비트라인의 교차점에서 결합된 전류의 자체 자계는 전류가 흐르는 워드라인과 비트라인의 교차점에 위치한 단일의 특정 MTJ(8)의 자유 강자성체층(24)의 자화 방향을 회전시킬 것이다. 전류 레벨들은 결합된 전류의 자체 자계가 자유 강자성체층(24)의 스위칭 자계(the switching field)를 초과하도록 설계된다. 이 결합된 전류의 자체 자계는 기존 강자성체의 자화 방향을 회전시키는데 필요한 자계보다 훨씬 작게 설계된다. 셀 레이어 구조는 기록 전류들이 MTJ(8)를 통과하여 흐르지 않도록 설계된다. 메모리 셀은 터널 전압 장벽(22)을 통해 기존 강자성체층(20)으로부터 자유 강자성체층(24)으로 다이오드(?)와 MTJ(8)를 수직으로 통과하는 감지 전류를 흐르게(혹은 이와 반대로)할 수 있는 판독이다. Si₃N₄ 터널 장벽(22)의 저항은 Si₃N₄층의 두께에 매우 의존하기 때문에, 저항은 이 층의 두께에 따라 대략 지수함수적으로 변화하는데, 이것은 전류가 대부분 Si₃N₄ 터널 장벽(22)을 통해 수직하게 흐르는 것을 의미한다. 터널 장벽(22)을 가로지르는 전하 캐리어들의 터널링 확률은 Si₃N₄층의 두께가 증가함에 따라 급격히 감소하므로, 접합을 가로지르는 터널 전하들만이 접합층에 대하여 수직인 방향으로 평탄하다.

기록 전류보다 매우 작은 감지 전류가 MTJ(8)를 수직으로 통과하여 흐를 때, 메모리 셀의 저항을 측정함으로써 메모리 셀의 상태가 판단된다. 이 감지 전류 혹은 판독 전류의 자체 자계는 무시될 수 있으므로, 메모리 셀의 자기 상태에 영향을 미치지 않는다. 터널 장벽(22)을 가로지르는 전하 캐리어들의 터널링 확률은 자유 강자성체층(24)과 기존 강자성체층(20)의 자기 모멘트들의 상대적인 정렬에 의존한다.

터널링 전류는 회전 분극화(spin polarized)되는데, 이것은 전류가 하나의 회전 형태(강자성체층의 자화 방향에 의존하는 회전 상승 혹은 회전 하강)의 전자들에 의해 주로 구성된 강자성체층을, 예를 들어 자화 방향이 고정된 층들 중 하나의 층으로부터 흐르는 것을 의미한다. 전류의 회전 분극화 정도는 터널 장벽과 강자성체층의 접합면(interface)에서 강자성체층을 포함하는 자화 재료의 전자 밴드 구조에 의해 결정된다. 따라서, 제 1 강자성체층 터널 장벽은 회전 필터(a spin filter)로서 작용한다. 전하 캐리어들의 터널링 확률은 제 2 강자성체층 내의 전류의 회전 분극과 같이 동일한 회전 분극의 전자 상태들의 유동성에 영향을 받는다. 통상적으로, 제 2 강자성체층의 자기 모멘트가 제 1 강자성체층의 자기 모멘트에 대해 정렬되면, 제 2 강자성체층의 자기 모멘트가 제 1 강자성체층의 자기 모멘트에 대해 반정렬될 때보다 더 유동한 전자 상태들이 존재한다. 따라서, 전하 캐리어들의 터널링 확률은 제 1 및 제 2 강자성체층들의 자기 모멘트들이 정렬될 때 최고치를 갖고, 제 1 및 제 2 강자성체층들의 자기 모멘트들이 모두 반정렬될 때 최저치를 갖는다. 제 1 및 제 2 강자성체층들의 자기 모멘트들이 정렬 혹은 반정렬도 아닌 상태로 배열될 때, 전하 캐리어들의 터널링 확률은 중간값을 갖는다. 따라서, 자기 메모리 셀의 전기적 저항은 제 1 및 제 2 강자성체층에서 전류의 회전 분극과 전자 상태들에 모두 의존한다. 결과적으로, 자유 강자성체층의 두 개의 가능한 자화 방향들은 자기 메모리 셀의 두 개의 가능한 비트 상태들(0 혹은 1)을 정의한다.

본 발명에 따른 도 9를 참조하면, 자기 메모리 셀(109)이 전도성 라인들(103, 105)(대안적으로, 본 명세서에서 전극들로서 지칭되는 바와 같이, 전극이라는 용어는 전기 말/또는 자기 자극을 배치할 수 있는 것으로서 광범위하게 사용될) 사이에 제공된다. 셀(109)은 적어도 두 개의 자기 터널 접합들(108a,

108b)를 포함한다. 도 9의 예시적인 실시예는 라인들(103, 105)을 통해 인가된 전기 및 미로인한 자기 자극을 수용하기 위해 병렬로 배열된 자기 터널 접합(108a, 108b)을 도시한다. 상세히 기술된 바와 같이, 각각의 자기 터널 접합은 개별적인 기준 영역(120a, 120b)과, 개별적인 터널링 영역(122a, 122b)과, 개별적인 자유 영역(124a, 124b)을 포함할 수 있다. 자기 메모리 셀의 기록은 라인들(103, 105)을 통해 인가된 전기 및 미로인한 자기 자극에 따라, 자유 영역 내에서 단일 화살표에 비례하여 대한 화살표를에 의해 기초적으로 표시된 자화 방향을 변경시키는 것에 의해 영향을 받는다.

본 발명에 따르면, 각각의 셀에서 터널 접합의 모든 평균 응답은 여러미에 걸쳐 전기 및 미로인한 자기 자극의 효과적인 동작 원도우를 제공하는데 이용됨으로써 효과적인 셀 선택성을 제공한다. 따라서, 각 셀에서의 다중 접합은 평균 상태를 보유하는 것으로서 생각될 수 있지만, 개별적인 접합들은 사실상 각각의 셀에서 상이한 개별적인 상태에 있다.

더우기, 도 9에 정선으로 도시된 바와 같이, 기준 영역들(120a, 120b)과 터널링 영역들(122a, 122b)은 실제로 단일의 접합층들의 개별적인 부분들을 포함할 수 있는 반면에, 자기적 절연 재료에 의해 분리 가능한 자유 영역들(124a, 124b)은 분리되는 것이 필요하므로, 각각의 셀에서 적어도 두 개의 터널 접합을 각각에 대한 분리된 개별적인 터널링 동작을 효과적으로 한다. 자유 영역들(124a, 124b)자기적으로 독립적, 예컨대 교환 결합형으로 되는 것이 요구된다. 따라서, 본 발명에 따르면, 다중 터널 접합들은 다중 자유 영역들의 존재에 의해 영향을 받는다.

공동 양수인에게 양도되고 상기 인용된 미국 특허에서, 자기 메모리 셀을 형성하기 위해 채용된 동일한 기법들은 본 발명의 다중 터널 접합을 형성하는데 사용될 수 있다. 각 셀에서 다중 터널 접합들은 전자빔 리소그래피(e-beam lithography), 간섭 리소그래피, STM 리소그래피, 혹은 방지막의 스탬프(stamping into resist), 혹은 소형의 소자들을 정의하기 위한 다른 공지된 기법들을 사용하여 패터닝될 수 있다.

도 10을 참조하면, 도 10에는 자기 메모리 셀(209)이 전기 및 미로인한 자기 자극을 수용하도록 라인들(203, 205) 사이에 직렬로 배열된 분리형 터널 접합들(208a, 208b)을 포함하는 본 발명의 대안적인 실시예가 도시된다. 이 자기 메모리 셀 구조는 양수인에게 양도되고 상기 인용된 미국 특허에 개시된 기법들에 따라, 각각의 셀 내에 추가적인 자기 터널 접합을 정의하기 위한 추가적인 층들을 추가함으로써 형성될 수 있다.

본 발명의 또 다른 실시예에 있어서, 도 11을 참조하면, 도 11에는 각각이 상호 자기 분리형 자유 영역들(324a-h)(영료성을 위해 모두 도시되지 않음)을 구비하고 단일의 터널링층(322)을 포함하여, 다중 자기 터널 접합들(308a-h)을 구비하는 자기 메모리 셀(309)이 제공된다. 이러한 예시적인 실시예에 있어서, 예시적인 하나 기준 영역(320)이 단일의 정적 자기 고정층을 포함하는 것으로 도시된다. 단일의 자기 메모리 셀을 형성하는 다중의 분리형 자화 '미립자들'은 예를 들어, 절연체의 상부에 자화 미립자들을 부착시키고 절연 및 전도 재료를 혹은 분리된 입자들의 비자화 매트릭스(a non-magnetic matrix)인 부부착층(co-deposition) 내에 자화 미립자들을 매립시킴으로써 형성될 수 있다.

본 발명의 일 실시예에 있어서, 소자들의 자유층들은 적어도 두 개의 박막층, 즉 은과 같이 자화 재료와 비자화 재료로 교번하는 박막층의 연속 형태로 부착된다. 어닐링(annealing) 단계시에, 자화 재료의 박막층들은 자기적 분리형 입자들로 분리된다. 은이 자화 박막층의 입자 경계들로 확산하여 미립자 사이의 교환 결합을 방해한다.

본 발명의 다른 실시예에 있어서, 각각의 자화 미립자는 고정형 터널 접합층을 갖는 구형으로 형성될 수 있으므로, 자화 미립자와 고정형 터널 접합층은 자화 방향이 고정된층 위에 부착된다.

도 12는 도 11의 미립자 기법에 대해 가능한 다른 제조 기법을 도시하는데, 셀 영역들, 예컨대 미립자들(408a-e)을 갖는 셀 영역(409)은 평면 자기 매체를 덮은 층(424)으로부터 패터닝된다. 이 점에 있어서, 자기 매체층(424)이 부착되어 패터닝될 수 있으므로, 각각이 다중 자화 미립자들을 갖는 셀 영역(409)을 형성한다.

중래의 기법들에 있어서, 메모리 셀들은 통상적으로 연속적인 금속 필름을 사용하는 터널 접합 소자들로 부터 제조된다. 종종 다중결정체의 필름들이 사용되지만, 입자들에서의 자화는 강하게 결합 교환되므로, 각각의 셀은 연속적인 필름과 단일의 정합 소자로서 자기적으로 작용한다. 본 발명은 박막 매체로서 자기 기록에 사용된 것과 유사한 미립자 필름의 사용에 관한 것이다. 이 미립자 필름들은 교환 상호작용의 관점에서 볼 때 자기적으로 분리된 입자들로 만들어진다. 이 입자들은 소정의 정자기 상호작용(magnetostatic interaction)을 가질지라도 교환 결합되지 않는다.

본 발명의 메모리 셀에 있어서, 각각의 입자는 분리 접합이다. 각각의 입자가 상이하고 다르게 위치된에 따라, 각각의 접합은 다소 상이한 정적 자계에서 스위칭될 것이다. 셀이 동작할 때, 선택된 셀 내의 모든 접합들을 스위칭하지 않고 이들 중 하나만을 스위칭하는 것이 필요하므로, 판독시에 기록 상태를 감출 수 있다. 마찬가지로, 선택되지 않은 모든 접합들을 스위칭하지 않고 접합들 중 하나만을 기록 상태 그대로 유지시킴으로써, 기록 상태는 변경되지 않는다.

예를 들어, '0'과 '1' 사이에서 다시 원래의 상태로 스위칭하는 셀을 생각해 보자. 기록 프로세스가 완전하지 않으면 기록된 상태도 안정하지 않다. 기록 자극하에서, 자계가 동요하기 때문에 적어도 접합들 중 90%가 먼저 '1' 상태로 스위칭되고 10% 이하의 접합들이 다시 '0'의 상태로 스위칭된다. 저장된 '1' 상태로부터의 판독 신호는 완전한 신호의 적어도 80%이다. 마찬가지로, 소자를 다시 '0' 상태로 스위칭할 때, 적어도 접합들 중 90%가 스위칭되고 10% 이하의 접합들이 다른 자계에 의해 나중에 변동된다. 저장된 '0' 상태로부터의 판독 신호는 많아야 완전한 신호의 20%이다.

두 개의 저장된 상태들 사이의 분리는 전체 신호의 적어야 60%일 것이다. 이러한 감소에 대한 교환에 있어서, 이러한 분리는 기록 자극하에서 모든 접합의 스위칭과 요동 자계하에서 모든 접합의 안정성을 보증하는데 더 이상 필요하지 않다.

요약하면, 메모리 셀들 내의 다중 교환 분리형 입자들은 스위칭 문턱값에서 신호 전폭과 신호 재생성 사

부: 1999-0072259

미의 트레이드오프(tradeoff)를 허용한다.

전술된 바와 같이, 이러한 형태의 셀에서 하부 기준 영역(420) 및 하부 터널링 영역(422)은 단일의 정착층들을 포함할 수 있다. 더우기, 전술된 바와 같이, 상부 및 하부 전도성 교차 라인들(402, 403, 405, 406)은 각 셀의 영역을 기록 및 판독하기 위해 제공된다.

본 발명의 또 다른 대안적인 실시예에 있어서, 도 13을 참조하면, 분리형 터널 접합들(508a, 508b, 508c)을 포함하는 자기 메모리 셀(509)이 제공된다. 이 실시예에 있어서, 각각의 터널 접합은 자화 방향이 고정된 영역(502a)과, 개별적인 터널링 영역(522a)과, 변화가능하지만 대향 자화 방향을 갖는 두 개의 영역들을 구비하여 평행하지 않은 개별적인 자유 영역(524a)을 포함한다. 자유 영역(524a)의 하부 자기 영역은 터널링층(522a)을 통해 자화 방향이 고정된층(520a)에 관한 터널링에 영향을 미친다. 그러나, 자유 영역(524a) 및/또는 자화 방향이 고정된 혹은 기준 영역(520a) 내에 두 개의 대향 자화 방향의 존재로 인해 전체적으로 낮은 자화를 초래하여, 자기 터널 접합(508a)이 인접한 터널 접합들(508b, 508c)에 대한 소정의 자체 교합을 감소시킨다. 평행하지 않은 배열을 사용하여, 각각의 터널 접합에서 자유 영역들 및/또는 자화 방향이 고정된 혹은 기준 영역이 터널 접합들 사이의 자체 교합을 감소시킴으로써, 각 터널 접합의 자화 독립성을 보장한다. 평행하지 않은 영역들은 본 명세서에서 참조로서 인용되고 양수인에게 양도된 미국 특허의 이본들에 따라 구현될 수 있다.

본 발명의 또 다른 대안적인 실시예에 있어서, 도 14를 참조하면, 워드 라인(603)과 비트 라인(605) 사이에 6 개의 터널 접합들(608a-f)을 포함하는 자기 메모리 셀(609)이 제공된다. 이 실시예에 있어서, 터널 접합들은 라인(605)의 폭보다 길지 않게 설계되므로, 연장된 자유 영역들의 중심부에 대한 더 안정한 자기 특성들이 자기적으로 불안정한 중단부를 보다 셀 동작에 대해 의존한다. 이 개념은 'LIMITING MAGNETIC WRITING FIELDS TO A PREFERRED PORTION OF A CHANGEABLE MAGNETIC REGION IN MAGNETIC DEVICES'라는 명칭의 상기 인용된 미국 특허 출원에 상세히 개시된다.

본 발명은 각각의 자화 셀에 다중 자기 터널 접합을 제공함으로써 각각의 개별적인 셀 응답의 예측가능성을 증가시켜, 여러이 전체의 바이어스에 대한 셀 선형성을 제공한다. 상세히 전술된 바와 같이, 인가된 전기 및/또는 자기 자극의 동작 윈도우가 사용될 수 있어 각 셀의 평균 응답이 예측될 수 있으므로 셀 선택성이 개선된다. 따라서, 함께 인가되던 셀들을 스위칭하는 인가된 자화용이후 자체와 자화 관련층 자체의 세트가 확정될 수 있지만, 이들 자체들이 분리되어 인가된다면 셀들, 즉 삽입된 비트 라인 및 워드 라인의 교차점에 위치한 것이 아닌 삽입된 비트 라인 혹은 워드 라인 중 하나를 따라 배열된 셀들을 스위칭하지 않을 것이다.

본 발명의 또 다른 특징/미점은 각각의 셀에 다중 자기 터널 접합을 제공함으로써, 결합있는 접합들에 대해 고유한 허용치를 제공하는 것이다. 많은 접합들에 대하여 각 셀 내의 저장 상태에 영향을 미치는 것은 평균 응답이기 때문에, 결합있는 접합, 예컨대 인가된 전기/자기 자극에 응답하지 않는 접합은 여러이일 전체 응답에 영향을 주지 않을 것이다. 이와 반대로, 각 셀에 하나의 터널 접합만이 사용된 실시예에 있어서, 결합이 있는 터널 접합은 주어진 셀에 데이터를 저장하는 능력을 완전히 제거할 것이므로, 전체 배열의 동작을 저해한다.

본 발명의 또 다른 특징/미점은 각각의 셀에 다중 터널 접합을 제공함으로써, 이들의 배치 및 공간이 여러이의 자화 파라미터들을 효과적이게 하도록 설계될 수 있도록 한다. 예를 들어, 도 15a-b를 참조하면, 다중 접합 셀(709)은 극 미세 범위의 미세자화 레벨에서 도시된 공간과 배치로 배열된 접합들(708a-j)을 포함할 수 있다. 그러나, 극 미세 범위의 미세자화 자극 자체 형태(710)는 이 공간과 배치에 기인하므로, 특정 시스템 요구들에 따라 요구된 바와 같이 맞추어질 수 있다.

본 발명이 MRAM에 대해서 개시되었으나, 본 명세서에 개시된 개선 방안들은 터널 접합들로부터 만들어질 수 있는 다른 소자들에 도 또한 적용가능하다. 특히, 이러한 개선 방안들은 통상적으로 논리 회로, 센서, 자기 기록 헤드를 포함하는 자기 소자들에 적용될 수 있다.

본 발명의 이본들은 단독으로 혹은 상기 인용된 미국 특허 및 동시 출원된 미국 특허 출원과 조합하여 사용될 수 있다. 예를 들어, 비대칭 셀 배치 기법 및 비대칭 자극 기법은 상기 인용된 'INTENTIONAL ASYMMETRY IMPOSED DURING FABRICATION AND/OR ACCESS OF MAGNETIC TUNNEL JUNCTION DEVICES'라는 명칭의 미국 특허 출원에 개시된 바와 같이 사용될 수 있다. 더우기, 자기저항성 전기적 상호작용을 가변 자기 영역(들)의 바람직한 부분으로 제한함으로써, 상기 인용된 'LIMITING MAGNETORESISTIVE ELECTRICAL INTERACTION TO A PREFERRED PORTION OF A CHANGEABLE MAGNETIC REGION IN MAGNETIC DEVICES'라는 명칭의 미국 특허 출원의 이본들에 따라 개선된 히스테리시스 곡선들이 획득될 수 있다. 또한, 상기 인용된 'LIMITING MAGNETIC WRITING FIELDS TO A PREFERRED PORTION OF A CHANGEABLE MAGNETIC REGION IN MAGNETIC DEVICES'라는 명칭으로 미국 특허 출원의 이본들에 따라, 자기 기록 자체들은 각각의 다중 터널 접합의 가변 자기 영역의 바람직한 부분으로 제한될 수 있다.

본 발명은 바람직한 실시예로서 설명되었으나, 당업자라면 첨부된 특허 청구에 정의된 바와 같이 본 발명의 정신 및 범주를 벗어나지 않고 많은 변형이 이루어질 수 있음을 알 수 있다.

결론의 요약

본 발명에 따르면 다수의 자성적 교환 분리형 터널 접합들을 단일의 복합 자성 소자로 결합하기 위한 것에 관한 것으로서, 단일의 복합 터널 접합 소자들을 구성하는 터널 접합 소자들 중 임의의 한 터널 접합 소자의 개별적인 응답과 대조를 이루는, 인가된 기록 자극에 대한 단일의 복합 자성 소자 응답의 품질 및 균일성에서 확실한 이점들을 제공한다.

(57) 청구의 범위

특 1009 0072259

청구항 1. 적어도 하나의 전극을 사용하여 동작가능한 자성 소자에 있어서,

상기 적어도 하나의 전극을 통해 인가된 자기 자극에 따라 모두 평균 상태로 기록가능한 적어도 두 개의 자성 터널 접합들을 포함하는 자성 소자.

청구항 2. 제 1 항에 있어서,

메모리 어레이와 결합하여 상기 자성 소자가 상기 메모리 어레이의 자기 메모리 셀을 포함하는데 있어서, 상기 조합은,

① 상기 어레이에 걸쳐 다수의 교차 영역들을 형성하는 다수의 개별적인 제 1 및 제 2 전기적 전도성 교차 라인들과,

② 상기 자기 메모리 셀을 포함하고, 상기 다수의 교차 영역들 중 개별적인 하나의 영역에 각각 배치되며, 다수의 각 메모리 셀들은 적어도 두 개의 자성 터널 접합들을 구비하여 실제로 균일한 자기 응답을 가짐으로써, 선택된 교차 영역을 형성하는 상기 제 1 및 제 2 전기적 전도성 라인을 각각을 통해 인가된 전기적 자극과 이로 인한 자기 자극에 의해 선택된 교차 영역에 배열된 셀만이 기록되고, 상기 선택된 교차 영역을 형성하는 상기 제 1 및 제 2 전기적 전도성 라인을 따라 배열된 셀이 아닌 셀들은 기록되지 않는 다수의 자기 메모리 셀들

을 포함하는 자성 소자.

청구항 3. 제 1 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들은 상기 자기 자극을 수용하도록 상기 적어도 하나의 전극인 제 1 및 제 2 전극 사이에 직렬로 배열되는 자성 소자.

청구항 4. 제 1 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들은 상기 자기 자극을 수용하도록 상기 적어도 하나의 전극인 제 1 및 제 2 전극 사이에 병렬로 배열되는 자성 소자.

청구항 5. 제 1 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각은,

① 기준 자화 방향을 갖는 제 1 영역과,

② 상기 인가된 자기 자극에 따라 변화가능한 자화 방향을 갖는 제 2 영역

을 포함하는 자성 소자.

청구항 6. 제 5 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각의 제 1 영역은 상기 기준 자화 방향을 갖는 단일의 응집성 자기 영역의 부분인 자기 소자.

청구항 7. 제 5 항에 있어서,

상기 적어도 두 개의 자성 터널 접합의 제 2 영역들은 서로 자성적으로 분리되도록 형성되는 자성 소자.

청구항 8. 제 7 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들의 제 2 영역들은 서로 공면(co-planar)에 배열되고 비자성 재료에 의해 분리된 개별적인 층들을 포함하는 자성 소자.

청구항 9. 제 7 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들의 제 2 영역들은 모두 자화 미립자(a magnetic granule)를 포함하는 자성 소자.

청구항 10. 제 9 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들의 제 2 영역들은 모두 각각의 자성 미립자가 개별적인 제 2 영역을 형성하는 다수의 자성 미립자들을 갖는 자기 매체의 바깥쪽에 패턴닝된(patterned) 영역을 포함하는 자성 소자.

청구항 11. 제 1 항에 있어서,

상기 적어도 두 개의 자성 터널 접합을 각각은,

① 기준 자화 방향을 갖는 제 1 영역과,

② 상기 인가된 전기적 자극과 미로 인해 발생된 자기 자극에 따라 모두 변화가능하고, 상기 자기 메모리 셀에서 다른 자성 터널 접합들과의 상호 자성 결합을 최소화시키며, 이들 중 하나는 개별적인 제 1 영역에 대한 셀 터널링(tunneling)에 영향을 미치는 평행하지 않은 자화 방향을 갖는 제 2 영역을 포함하는 자성 소자.

청구항 12. 자성 소자에서 적어도 하나의 전극을 사용하여 평균 상태를 저장하기 위한 방법에 있어서,

상기 적어도 하나의 전극을 통해 인가된 자기 자극에 따라 모두 상기 평균 상태로 기록가능한 적어도 두 개의 자성 터널 접합들을 사용하는 단계를 포함하는 평균 상태 저장 방법.

청구항 13. 제 12 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들은 상기 자기 자극을 수용하도록 상기 적어도 하나의 전극인 제 1 및 제 2 전극 사이에 직렬로 배열되는 평균 상태 저장 방법.

청구항 14. 제 12 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들은 상기 자기 자극을 수용하도록 상기 적어도 하나의 전극인 제 1 및 제 2 전극 사이에 병렬로 배열되는 평균 상태 저장 방법.

청구항 15. 제 12 항에 있어서,

상기 적어도 두 개의 자성 터널 접합을 각각은,

① 기준 자화 방향을 갖는 제 1 영역과,

② 상기 인가된 자기 자극에 따라 변화가능한 자화 방향을 갖는 제 2 영역

을 포함하는 평균 상태 저장 방법.

청구항 16. 자성 소자를 형성하기 위한 방법에 있어서,

① 적어도 하나의 전극을 제공하는 단계와,

② 적어도 두 개의 자성 터널 접합들을 포함하고, 상기 적어도 하나의 전극을 통해 인가된 자기 자극에 따라 모두 평균 상태로 기록가능한 상기 자성 소자를 상기 적어도 하나의 전극에 인접하여 형성하는 단계를 포함하는 자성 소자 형성 방법.

청구항 17. 제 16 항에 있어서,

상기 자성 소자 형성 단계는,

상기 자기 자극을 수용하도록 상기 적어도 하나의 전극인 개별적인 제 1 및 제 2 전극 사이에 직렬로 상기 적어도 두 개의 자성 터널 접합들을 형성하는 단계를 포함하는 자성 소자 형성 방법.

청구항 18. 제 16 항에 있어서,

상기 자성 소자 형성 단계는,

상기 자기 자극을 수용하도록 상기 적어도 하나의 전극인 제 1 및 제 2 전극들 사이에 병렬로 상기 적어도 두 개의 자성 터널 접합들을 형성하는 단계를 포함하는 자성 소자 형성 방법.

청구항 19. 제 16 항에 있어서,

상기 자성 소자 형성 단계는,

① 상기 적어도 두 개의 자성 터널 접합을 각각에 기준 자화 방향을 갖는 제 1 영역을 형성하는 단계와,

② 상기 적어도 두 개의 자성 터널 접합을 각각에 상기 인가된 자기 자극에 따라 변화가능한 자화 방향을 갖는 제 2 영역을 형성하는 단계

를 포함하는 자성 소자 형성 방법.

청구항 20. 제 19 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각의 제 1 영역은 상기 기준 자화 방향을 갖는 단일의 용접성 자기 영역으로부터 형성되는 자성 소자 형성 방법.

청구항 21. 제 19 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각의 제 2 영역들은 서로 자성적으로 분리되도록 형성되는 자성 소자 형성 방법.

청구항 22. 제 21 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들의 제 2 영역들은 서로 공면에 배열되고 자성적 불연 재료에 의해 분리된 개별적인 층들로서 형성되는 자성 소자 형성 방법.

청구항 23. 제 21 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각의 제 2 영역은 자화 미립자로서 형성되는 자성 소자 형성 방법.

청구항 24. 제 23 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각에 제 2 영역을 형성하는 단계는 개별적인 제 2 영역을 형성하는 다수의 자화 미립자들을 갖는 자기 매체의 바깥쪽에 상기 제 2 영역들을 패터닝하는 단계를 포함하는 자성 소자 형성 방법.

청구항 25. 자기 메모리 어레이를 형성하기 위한 방법에 있어서,

① 다수의 제 1 전도성 라인들과 다수의 교차하는 제 2 전도성 라인들을 제공함으로써, 상기 자성 메모리 어레이에 걸쳐 다수의 교차 영역들을 형성하는 단계와,

② 하나의 교차 영역을 형성하는 상기 개별적인 제 1 및 제 2 교차 라인을 통해 인가된 자기 자극에 따라, 모두 평균 상태로 변화가능한 적어도 두 개의 자성 터널 접합들을 포함하는 자기 메모리 셀을 상기 다수의 교차 영역들 중 상기 하나의 교차 영역에 형성하는 단계

를 포함하는 자기 메모리 어레이 형성 방법.

청구항 26. 제 25 항에 있어서,

상기 자기 메모리 셀 형성 단계는,

상기 자기 자극을 수용하도록 상기 개별적인 제 1 및 제 2 교차 라인 사이에 직렬로 상기 적어도 두 개의 자성 터널 접합들을 형성하는 단계를 포함하는 자기 메모리 어레이 형성 방법.

청구항 27. 제 25 항에 있어서,

상기 자기 메모리 셀 형성 단계는,

상기 자기 자극을 수용하도록 상기 개별적인 제 1 및 제 2 교차 라인 사이에 병렬로 상기 적어도 두 개의 자성 터널 접합들을 형성하는 단계를 포함하는 자기 메모리 어레이 형성 방법.

청구항 28. 제 25 항에 있어서,

상기 자기 메모리 셀 형성 단계는,

① 상기 적어도 두 개의 자성 터널 접합들 각각에 기준 자화 방향을 갖는 제 1 영역을 형성하는 단계와,

② 상기 적어도 두 개의 자성 터널 접합들 각각에 상기 인가된 자기 자극에 따라 변화가능한 자화 방향을 갖는 제 2 영역을 형성하는 단계

를 포함하는 자기 메모리 어레이 형성 방법.

청구항 29. 제 28 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각의 제 1 영역은 상기 기준 자화 방향을 갖는 단일의 용접성

자기 영역으로부터 형성되는 자기 메모리 어레이 형성 방법.

청구항 30. 제 28 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들의 제 2 영역들은 서로 자성적으로 분리되도록 형성되는 자기 메모리 어레이 형성 방법.

청구항 31. 제 30 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들의 제 2 영역들은 서로 공면에 배열되고 자성적 절연 재료에 의해 분리된 개별적인 층으로서 형성되는 자기 메모리 어레이 형성 방법.

청구항 32. 제 30 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각의 제 2 영역은 자화 미립자로서 형성되는 자기 메모리 어레이 형성 방법.

청구항 33. 제 32 항에 있어서,

상기 적어도 두 개의 자성 터널 접합들 각각에 제 2 영역을 형성하는 단계는 각각이 개별적인 제 2 영역을 형성하는 다수의 자화 미립자를 갖는 자기 매체 바깥쪽에 상기 제 2 영역을 패터닝하는 단계를 포함하는 자기 메모리 어레이 형성 방법.

청구항 34. 제 25 항에 있어서,

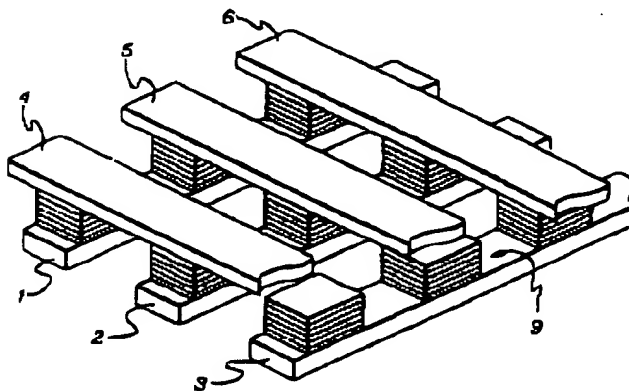
상기 자기 메모리 셀 형성 단계는,

- ① 상기 적어도 두 개의 자성 터널 접합들 각각에 기존 자화 방향을 갖는 제 1 영역을 형성하는 단계와,
- ② 상기 적어도 두 개의 자성 터널 접합들 각각에 상기 인가된 자기 자극에 따라 모두 변화가능하며 상기 자기 메모리 셀에서 다른 자성 터널 접합들과의 상호 자성 결합을 최소화시키고, 이들 중 하나의 자화 방향은 개별적인 제 1 영역에 대한 셀 터널링에 영향을 미치는 평행하지 않는 자화 방향들을 갖는 제 2 영역을 형성하는 단계

를 포함하는 자기 메모리 어레이 형성 방법.

도면

도면 1a



号 1999-0072259

図 16

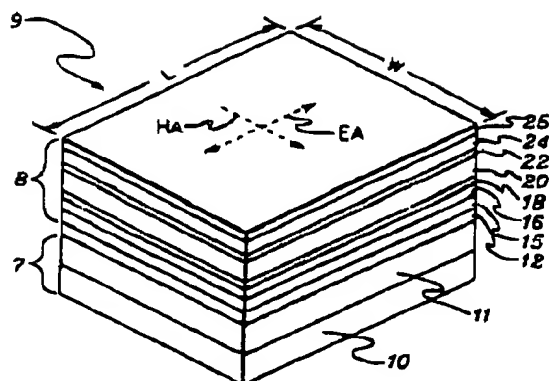


図 17a

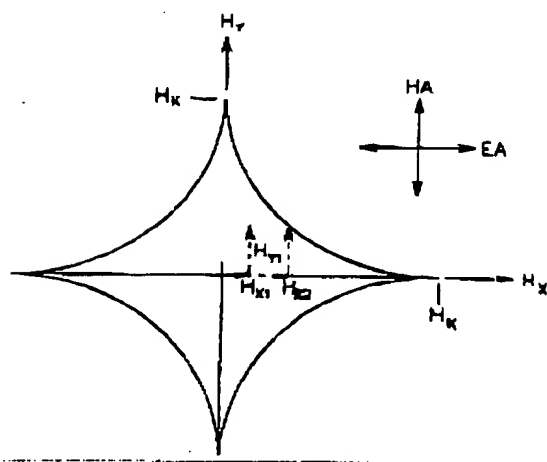
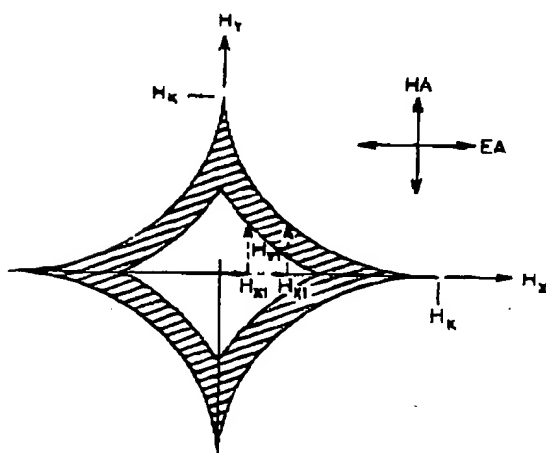


図 17b



号1999-0072259

図13

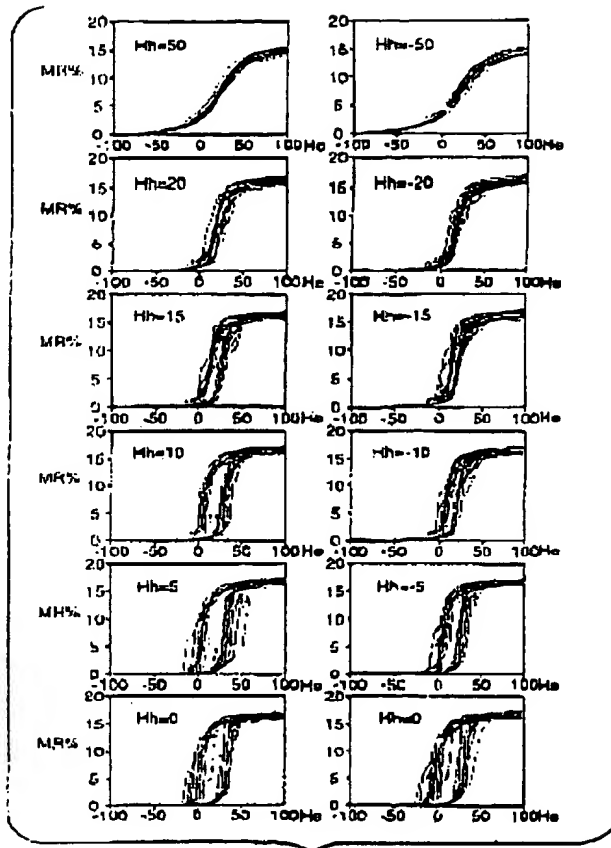


図14

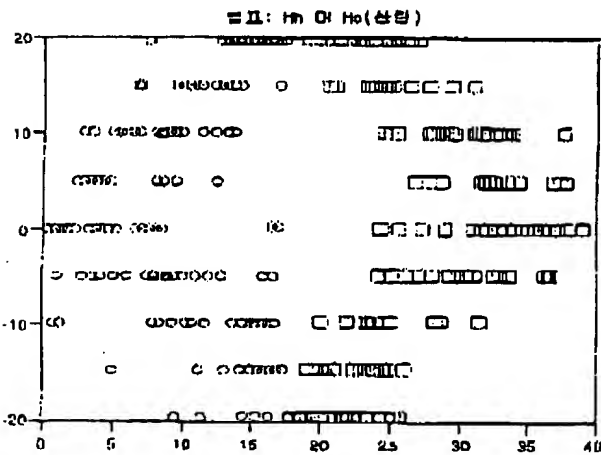


Fig. 195

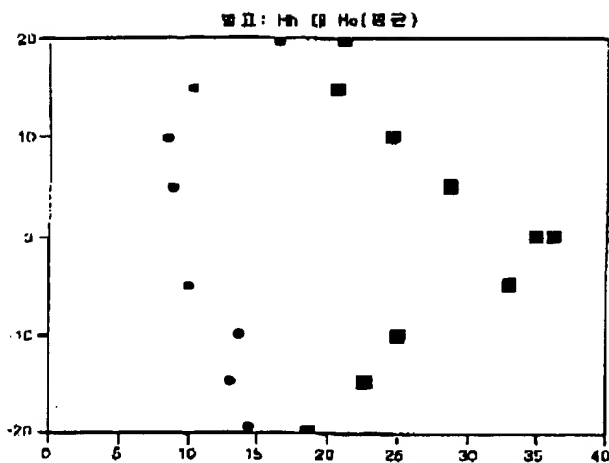
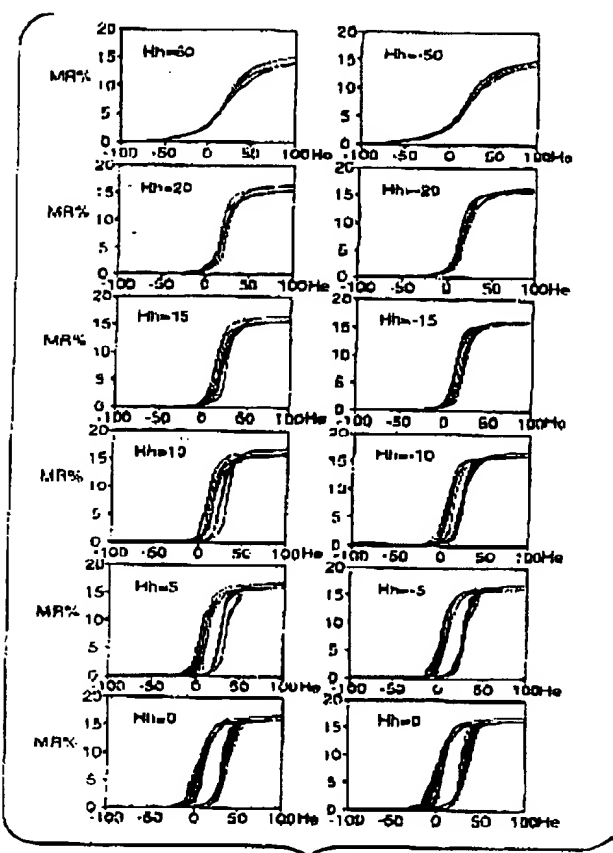
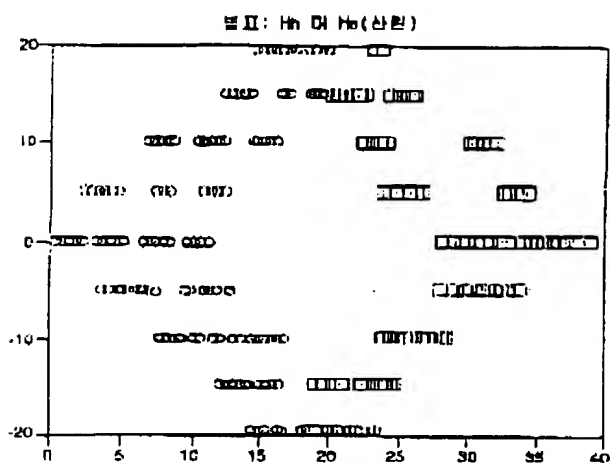


Fig. 196

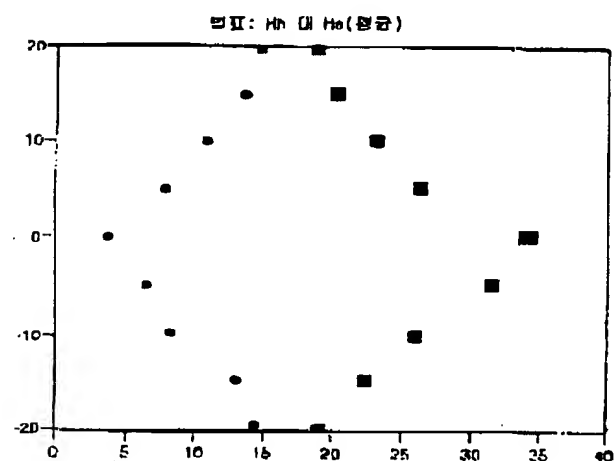


제 1999-0072259

도 17



도 18



도 19

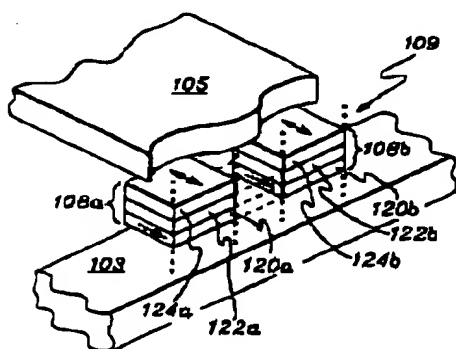


図10

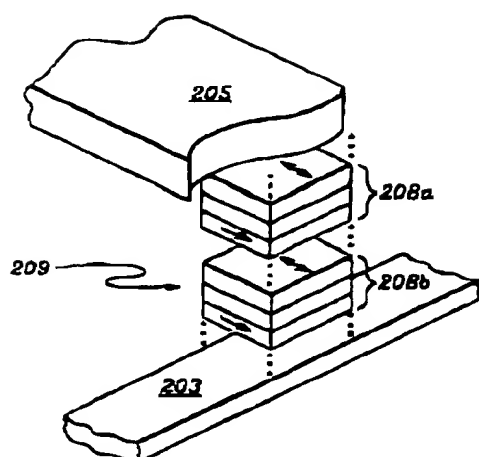


図11

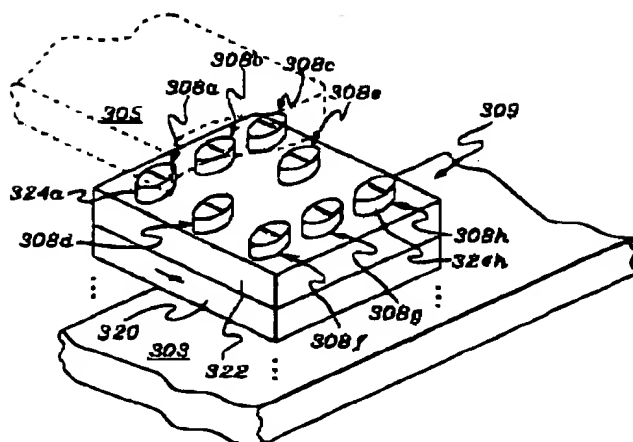
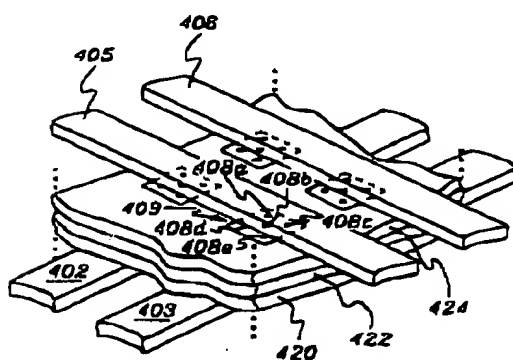


図12



No. 1999-0072259

図14B

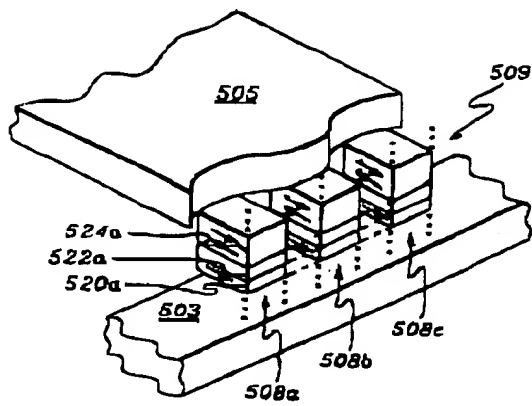


図14A

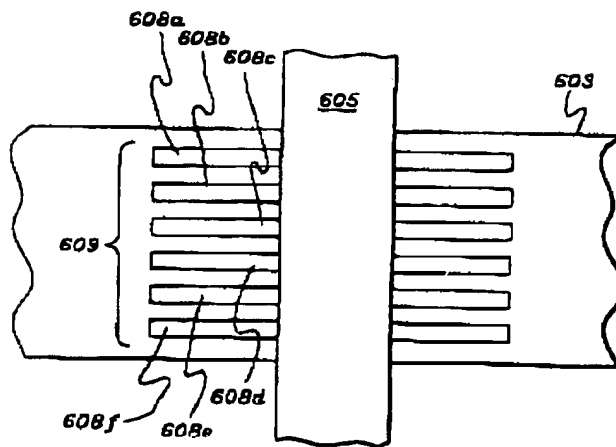
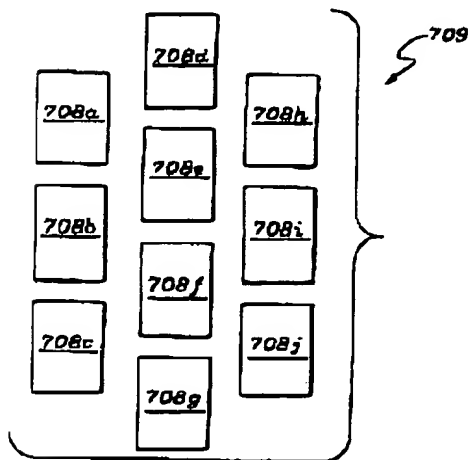


図15



特 1999-0072259

